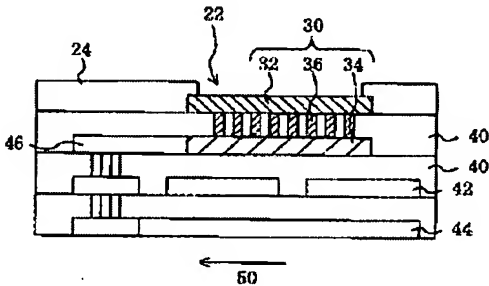


SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2002016069
Publication date: 2002-01-18
Inventor: MIMURA TADAAKI; KAGAMI TOSHIHIRO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- **International:** H01L23/52; H01L21/3205; H01L21/60; H01L21/822; H01L27/04; H01L23/52; H01L21/02; H01L21/70; H01L27/04 (IPC1-7); H01L21/3205; H01L21/60; H01L21/822; H01L27/04
- **European:**
Application number: JP20000195913 20000629
Priority number(s): JP20000195913 20000629

Report a data error here

Abstract of JP2002016069
PROBLEM TO BE SOLVED: To provide a semiconductor device which is improved in reliability while reducing the size of a chip. SOLUTION: A semiconductor device 100 has an I/O circuit 14. The I/O circuit 14 has an I/O pad 22, that is formed on an interlayer insulating film 40 positioned on the element-forming region of a semiconductor substrate. The I/O pad 22 has laminated via structure 20, that is composed of first and second electrode pads 32 and 34 and a via 36 for connecting the first electrode pad 32 to the second pad 34.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-16069
(P2002-16069A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
H 0 1 L 21/3205		H 0 1 L 21/60	3 0 1 P 5 F 0 3 3
21/60	3 0 1	21/88	T 5 F 0 3 8
27/04		27/04	E 5 F 0 4 4
21/822			

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号 特願2000-195913(P2000-195913)

(22)出願日 平成12年6月29日(2000.6.29)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 三村 忠昭

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 甲上 歳浩

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

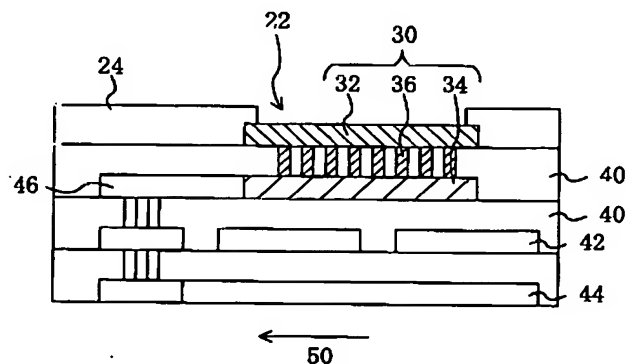
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 チップサイズの縮小を図りながら、信頼性を向上させた半導体装置を提供する。

【解決手段】 入出力回路14を備えた半導体装置100であって、入出力回路14は、半導体基板の素子形成領域上に位置する層間絶縁膜40上に形成された入出力パッド22を有しており、入出力パッド22は、第1電極パッド32と第2電極パッド34と、第1電極パッド32と第2電極パッド34とを接続するビア36とから構成された積層ビア構造20を有している、半導体装置100である。



【特許請求の範囲】

【請求項1】 入出力回路を備えた半導体装置であって、
前記入出力回路は、半導体基板の素子形成領域上に位置する層間絶縁膜上に形成された入出力パッドを有しており、
前記入出力パッドは、
最上層の第1配線層から構成された第1電極パッドと、
前記第1配線層の下層に位置する第2配線層から構成された第2電極パッドと、
前記第1電極パッドと前記第2電極パッドとの間に位置する層間絶縁膜中に形成され、前記第1電極パッドと前記第2電極パッドとを接続するビアと、
から構成された積層ビア構造を有する、請求項1に記載の半導体装置。

【請求項2】 前記ビアは、前記第2電極パッド上に2次元的に配列された複数のビアである、請求項1に記載の半導体装置。

【請求項3】 前記入出力回路は、複数の入出力セルから構成されており、
前記複数の入出力セルのそれぞれは、複数の入出力パッドを有している、請求項1または2に記載の半導体装置。

【請求項4】 前記複数の入出力セルのそれぞれは、前記入出力セル内のチップ外周寄りに設けられた第1入出力パッドと、前記入出力セル内のチップ内部寄りに設けられた第2入出力パッドとを有しており、
前記複数の入出力セルのうちの或る入出力セルは、前記第1入出力パッド上にバンパを有しており、
前記或る入出力セルに隣接する入出力セルは、前記第2入出力パッド上にバンパを有している、請求項3に記載の半導体装置。

【請求項5】 前記層間絶縁膜は、化学的機械的研磨による平坦化が施された構造を有している、請求項1から4の何れか一つに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。特に、素子形成領域上に入出力パッドを備えた半導体装置に関する。

【0002】

【従来の技術】図8および図9を参照しながら、従来の半導体装置1000の構造を説明する。

【0003】図8は、従来の半導体装置1000の上面を模式的に示している。従来の半導体装置1000は、半導体チップ110の中央部分に形成された内部回路112と、半導体チップ110の外周部分に形成された入出力回路114とを備えている。内部回路112の周囲に位置する入出力回路114は、複数の入出力セル（I/Oセル）120から構成されており、I/Oセル120

は、半導体チップ110の外周部分に一例に配列されている。I/Oセル120は、例えばワイヤボンディングによってリードフレームと接続され、内部回路112と外部機器とを電氣的に接続する役割を有している。I/Oセル120がリードフレームと接続された後は、半導体チップ110全体が封止されてQFPやSOPなどのパッケージにされることになる。また、CSPやTCPなどのパッケージにする場合、I/Oセル120には、スタッドバンパ（金バンパ）や電解めっき法・蒸着法などで形成したバンパ（金属バンパ）が設けられることになる。

【0004】図9（a）は、I/Oセル120の上面を一部切り欠いて示しており、図9（b）は、その断面を模式的に示している。I/Oセル120は、シリコン基板上に形成された最下層配線144と、最下層配線144の上層に形成された電源配線142と、各層の配線を電氣的に絶縁する層間絶縁膜140と、層間絶縁膜140の最上層の上面に形成された電極パッド122とを有している。電極パッド122には、電極パッド引き出し部146が電氣的に接続されており、層間絶縁膜140の上面には、電極パッド122を露出するように保護膜124が形成されている。なお、層間絶縁膜140中に位置する電源配線142は、半導体チップ110の外周部分を取り囲むようにリング状に形成されている。

【0005】ワイヤボンディングやバンパの形成は、I/Oセル120のうちの電極パッド122の部分で行われるため、電極パッド122は、半導体チップ110の外周部の最も外周側（半導体チップ外周方向50の最も外周側）に設けられている。ワイヤボンディングやバンパ形成を行う際には、電極パッド122を通じて電極パッド122の下方に衝撃が伝わることになる。この衝撃が半導体装置の特性に影響を及ぼさないようにするために、電極パッド122の下方に位置する部位のシリコン基板には拡散形成を行っておらず、電極パッド122の下方に位置する層間絶縁膜140中には配線などの素子を設けていない。すなわち、I/Oセル120の電極パッド122は、素子形成領域（トランジスタなどの素子が形成される領域）でない部分のシリコン基板（Si基板）の上方に配置されている。

【0006】I/Oセル120を備えた半導体装置1000よりもチップサイズを小さくした構成の半導体装置にすることを目的として、電極パッド122をI/Oセル120の素子形成領域上に配置したパッド構造が提案されている（例えば特開平6-244235号公報）。この公報によると、例えば、ロジック回路やドライバ回路が形成された素子形成領域上に層間絶縁膜が設けられ、その上に入力パッドまたは出力パッドが形成された半導体集積回路が提案されている。

【0007】図10は、上記公報におけるパッド構造の断面を模式的に示している。図9に示したパッド構造で

は、Si基板の素子形成領域上に電極パッド122が形成されている。電極パッド122は、例えば、アルミ電極（アルミの単層）からなり、電極パッド122の下方には、下層配線パターン（電源配線142および最下層配線144）が形成されている。

【0008】

【発明が解決しようとする課題】上記公報のパッド構造にすることによって、チップサイズの縮小の目的は達成できるかもしれないが、この構造では、電極パッド122に対してワイヤボンディングする際の衝撃荷重の影響によって、電極パッド122の下方に位置する配線や層間絶縁膜にダメージを与えるおそれがある。また、電極パッド122の下方に位置する拡散素子（例えば、トランジスタ）の動作特性が変化（劣化）するといった影響を与える可能性がある。

【0009】図11は、典型的なワイヤボンディング工程を行った場合にパッド（電極パッド）が受ける衝撃荷重の時間変化を示している。初期ボール形成時間領域を領域51として示し、ボンディング形成時間領域を領域53として示す。なお、横軸の1ブロックは、5ミリ秒を表しており、縦軸の1ブロックは、250mVを表している。なお、点Aと点Bとの間は468.750mVの差がある。

【0010】図11中のピーク52は、キャピラリ先端の金ボールがパッドに接触する際のエネルギーによって金ボールが変形する時にパッドに加わる荷重変化を示している。ピーク52の後のボンディング形成領域53においては、パッドに所定の荷重を加えながら超音波（USパワー）を付加することによって、金-アルミ界面における合金形成が促進されて、金ボールとパッドとの接合が完了する。図11から、パッドの下方に位置する配線部や拡散部が受ける影響は、ピーク52における衝撃エネルギーが支配的に作用していると考えられる。この衝撃エネルギーによって、図10に示したパッド構造において、パッド122直下の層間絶縁膜の破壊（クラック）、パッドと下層配線とのショート、または、下層配線間ショートなどが発生することが観察されている。さらには、電極パッド（ボンディングパッド）122の下方に形成されている素子形成領域内のトランジスタの特性（ V_t 、 G_m 、ホットキャリア寿命など）が劣化することも研究機関からの報告によって判明している（例えば、第45回応用物理学関係連合講演会 講演予稿集p849、1998.3）。

【0011】図9に示したパッド構造で問題となるボンディング時の衝撃エネルギーを緩和する目的で、配線（電源配線142など）や層間絶縁膜140の厚さを厚くすることも考えられる。しかしながら、そのような構成の場合には、相対的に配線やビアのアスペクト比が大きくなってしまいうため、加工の困難性が増し、その結果、製造コストが増大するという問題がある。

【0012】また、次のような問題もある。ウエハ検査を行う場合、プロービング時にプローブ針を電極パッド122に接触させるため、電極パッド122に針跡（圧跡）が残ることになる。組み立て時においては、通常、この圧跡付の電極パッド上にワイヤボンディングを行うが、圧跡部はプローブ針によってアルミが削られているため、圧跡部では金ボールとアルミとの合金形成を行うことができない。近年、ワイヤボンディングのボンディングピッチの縮小に伴って、パッドサイズやボール径は益々小さくなっており、その結果、狭ピッチ化によって圧跡面積が相対的に増大してきている。従って、所定の面積を確保した状態で合金を形成することができなくなるという問題が生じており、それゆえ、ウエハ検査で形成されたプロービング時の圧跡の影響を受けることなく、ワイヤボンディングすることができる手法が望まれている。

【0013】本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、チップサイズの縮小を図りながら、信頼性を向上させた半導体装置を提供することにある。また、本発明の他の目的は、プロービング時の圧跡の影響を受けることなくワイヤボンディングを行うことができる半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明による半導体装置は、入出力回路を備えた半導体装置であって、前記入出力回路は、半導体基板の素子形成領域上に位置する層間絶縁膜上に形成された入出力パッドを有しており、前記入出力パッドは、最上層の第1配線層から構成された第1電極パッドと、前記第1配線層の下層に位置する第2配線層から構成された第2電極パッドと、前記第1電極パッドと前記第2電極パッドとの間に位置する層間絶縁膜中に形成され、前記第1電極パッドと前記第2電極パッドとを接続するビアとから構成された積層ビア構造を有する。

【0015】前記ビアは、前記第2電極パッド上に2次元的に配列された複数のビアであることが好ましい。

【0016】前記入出力回路は、複数の入出力セルから構成されており、前記複数の入出力セルのそれぞれは、複数の入出力パッドを有していることが好ましい。

【0017】ある実施形態では、前記複数の入出力セルのそれぞれは、前記入出力セル内のチップ外周寄りに設けられた第1入出力パッドと、前記入出力セル内のチップ内部寄りに設けられた第2入出力パッドとを有しており、前記複数の入出力セルのうちの或る入出力セルは、前記第1入出力パッド上にバンパを有しており、前記或る入出力セルに隣接する入出力セルは、前記第2入出力パッド上にバンパを有している。

【0018】前記層間絶縁膜は、化学的機械的研磨（CMP）による平坦化が施された構造を有していることが好ましい。

【0019】本発明によると、素子形成領域上に位置す

る層間絶縁膜上に入出力パッドが設けられているため、チップ面積を縮小することができるとともに、入出力パッドが第1電極パッドと第2電極パッドとビアとから構成された積層ビア構造を有しているため、積層ビア構造によってボンディング時の衝撃エネルギーを吸収することができる。このため、入出力パッドの下方に位置する配線部や拡散素子に加わる応力を緩和することができ、その結果、ダメージの発生を押さえることができるので、半導体装置の信頼性を向上させることが可能となる。第2電極パッド上に2次元的に複数のビアが配列されていると、ボンディング時の衝撃エネルギーを効果的に吸収することができる。

【0020】入出力回路が複数の入出力セルから構成されており、複数の入出力セルのそれぞれが複数の入出力パッドを有している場合、プローブ検査時の入出力パッドとワイヤボンディング時の入出力パッドとを使い分けることができる。このため、プローブ検査時に形成された圧跡部の影響を受けることなく、ワイヤボンディングを行うことが可能になる。或る入出力セルには第1入出力パッド上にバンパを設けて、当該或る入出力セルに隣接する入出力セルには、第2入出力パッド上にバンパを設けるように構成すれば、狭ピッチ化されている場合でも、相対的にピッチを広げることができる。その結果、接続歩留まりを向上させることができる。

【0021】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。以下の図面においては、簡明さのために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

(実施形態1) 図1から図4を参照しながら、本発明による実施形態1を説明する。図1は、本実施形態にかかる半導体装置100の上面を模式的に示している。半導体装置100は、半導体チップ10の中央部分に形成された内部回路12と、半導体チップ10の外周部分に形成された入出力回路14とを備えている。入出力回路14は、複数の入出力セル(I/Oセル)20から構成されており、I/Oセル20は、例えば、半導体チップ10の外周部分に一行に配列されている。

【0022】図2は、半導体装置100の入出力セル20の上面を拡大して示している。I/Oセル20は、外部部材(例えば、リードフレーム)と電気的に接続される入出力パッド(I/Oパッド)22を有しており、I/Oセル20の上面には、入出力パッド22を露出するように保護膜24が形成されている。本明細書における「入出力パッド(I/Oパッド)」は、入力パッドおよび/または出力パッドのことを意味し、必ずしも入力と出力との両方を行うパッドでなくてもよい。本実施形態における半導体装置100のI/Oセル20は、図7に示した従来の半導体装置100のI/Oセル120のサイズよりも小さなサイズで構成されている。なお、図

中の矢印50は、半導体チップ外周方向を示している。

【0023】図3は、I/Oセル20の断面を模式的に示している。I/Oセル20の入出力パッド22は、半導体基板(シリコン基板)の素子形成領域上に位置する層間絶縁膜40上に形成されており、積層ビア構造30を有している。積層ビア構造30は、最上層の第1配線層から構成された第1電極パッド32と、第1配線層の下層に位置する第2配線層から構成された第2電極パッド34と、第1電極パッドと第2電極パッドとの間の層間絶縁膜40中に形成され、第1電極パッドと第2電極パッドとを接続するビア36とを有している。本実施形態では、最上層(第4層)に形成した第1電極パッド32と、その1つ下層(第3層)に形成した第2電極パッド34とが、基板法線方向から見て互いに重なるように形成されており、2つの電極パッド(32および34)の間はビア36によって接続されている。第1電極パッド32および第2電極パッド34は、例えばアルミの単層(厚さ:例えば0.5~1.0 μm 程度)から構成されており、ビア36は、例えば、タングステンから構成されている。

【0024】入出力パッド22(ビア構造30)の下方には、下層配線パターン(電源配線42および最下層配線44)が形成されており、層間絶縁膜40の最上層には、入出力パッド22を露出するようにして保護膜24が形成されている。チップ10の外周部に各I/Oセル20を隣接して配置した場合、電源配線(第2層)42は、チップ外周部を取り囲むようにリング状に形成されている。電源配線42の下には、入出力回路内の配線(最下層配線、第1層)44が形成されており、最下層配線層44のさらに下面には、トランジスタ等を含む拡散層が形成されている。最下層配線層44は、引き出し配線部46を通じて入出力パッド22(第2電極パッド34)に電気的に接続されている。

【0025】図3では、簡単さのために、半導体基板(例えばSi基板)上に形成された4層構造の配線構造を示し、その配線構造の下の拡散層(素子形成領域)は示していない。なお、図3の構成に限定されず、2層以上の配線構造であれば適用可能であり、勿論、5層以上の配線構造にも好適に適用可能である。

【0026】図4は、基板法線方向から見たビア36の配置構造を示しており、本実施形態では、複数のビア36が二次元的に(マトリクス状に)第2電極パッド34上に配列されている。すなわち、互いに所定の間隔においてパッド平面に対してマトリクス状(行列状)に配置されている。複数のビア36がマトリクス状に配列されていると、外力を適度に分散させることができるため好適である。ビア36の断面形状は例えば円形であり、ビア36の断面形状はデザインルール上許容される最小の寸法(例えば、0.4 μm 程度)にされており、各ビア36の間隔は例えば1~2 μm 程度である。ビア36の

長さ（高さ）は、第1電極パッドと第2電極パッドとの間に位置する層間絶縁膜40の厚さと同じであり、例えば1.0 μ m程度である。

【0027】本実施形態のI/Oセル20には、積層ビア構造30を有する入出力パッド22が形成されている。このため、ボンディング時においてパッド上部から加わる垂直方向の衝撃エネルギー（図9のピーク52が示す衝撃エネルギー）を積層ビア構造30によって受け止めることが可能となる。すなわち、配線部や拡散部に支配的に影響を及ぼす垂直方向の衝撃エネルギーを、比較的硬い（ヤング率が高い）タングステンから構成されたビア36によって受け止めることができるため、入出力パッド22よりも下層に位置する層間絶縁膜40やアルミ配線42および44に伝わることを防止・抑制することができる。

【0028】また、積層ビア構造30の形成は、典型的な半導体プロセスを用いて行うことができるため、製造コスト的にも有利である。また、配線や層間絶縁膜の厚さを厚くすることなく、ボンディング時の衝撃エネルギーを緩和することができるため、配線やビアのアスペクト比が大きくなり加工の困難性が増すというような問題も回避することができる。すなわち、加工精度を確保しながら、ボンディング時の衝撃エネルギーを緩和することが可能となる。

【0029】さらに、衝撃エネルギーだけでなく、ボンディング工程における超音波（US）印加時のUSエネルギーも積層ビア構造30によって受け止めることが可能である。積層ビア構造30が設けられていない場合、USエネルギーは金ボールを介して入出力パッド（ボンディングパッド）から水平方向の歪みとなって層間絶縁膜40やアルミ配線42および44に伝わることになる。これに対して、積層ビア構造30が設けられている場合には、USエネルギーを積層ビア構造30の各ビア36と層間絶縁膜40との間の界面の応力歪みとして吸収することができる。このため、積層ビア構造30によって、USエネルギーによる影響も回避することができる。

【0030】本実施形態によれば、拡散層（素子形成領域）上方に入出力パッド22が形成されていても、配線部や拡散素子に加わる応力（内部応力）を緩和してダメージの発生を抑制することができるので、チップサイズの縮小を図りながら、信頼性を向上させた半導体装置100を提供することができる。

【0031】本実施形態では、ビア36として断面形状が円形のタングステンプラグを使用した。これに限定されず、正方形や長方形の形状のビアを使用してもよい。また、図4に示した構成における行または列を1個のビアとして、そのビアを複数個形成するようにしても、従来の構成よりも配線部や拡散素子に加わる応力を緩和することができる。また、比較的小さなビアを複数

個マトリクス状に形成するのではなく、図5に示すように、比較的広い面積のビア36'を形成することも可能である。ビア36'をタングステンから構成した場合には、垂直方向の加重をより広い面積で受け止めることが可能となるため、垂直方向からの加重に強い構造にすることができる。

【0032】また、良好に応力吸収を行うという観点からは、図3に示した構成における最上層の第1電極パッド32のアルミ層の厚さをさらに厚くすることも好適である。さらに、パッド引き出し部46上にビア36および第1電極パッド32を形成して積層ビア構造30を形成することも可能である。このようにして積層ビア構造30を形成すれば、パッド引き出し部46の部分も入出力パッド22として使用することができるため、さらにチップ面積を縮小させることも可能である。

【0033】層間絶縁膜40の構成材料は、誘電率や機械的強度を考慮して適宜決定すればよく、本実施形態では、層間絶縁膜40は、原材料にTEOSを用いた酸化シリコン膜から構成されている。なお、より効果的に応力緩和をする目的で、比較的弾性率の低い材料から層間絶縁膜40を構成することも好適である。また、本実施形態のI/Oセル20は、多層配線構造を有しているので、層間絶縁膜40の各層の上面は、化学的機械的研磨（CMP）によって平坦化が施されていることが好ましい。

【0034】なお、本実施形態では、ワイヤボンディングの場合について説明したが、入出力パッド22上にバンパを形成する場合においても、バンパ形成時に配線部や拡散素子に加わる応力を積層ビア構造30によって緩和することができる。このため、CSPやTCPなどのパッケージが施された半導体装置でも、チップサイズの縮小を図りながら、信頼性を向上させることができる。

（実施形態2）図6を参照しながら、本発明による実施形態2を説明する。図6は、本実施形態の半導体装置に含まれるI/Oセル21の上面を一部切り欠いて示している。図6に示すように、本実施形態のI/Oセル21は、上記実施形態1のI/Oパッド22が1個のI/Oセル内において複数個（22aおよび22b）形成されており、この点が上記実施形態1のI/Oセル20と異なる。本実施形態の説明を簡明にするため、以下では、実施形態1と異なる点を主に説明し、実施形態1と同様の点の説明は省略する。

【0035】入出力セル（I/Oセル）21は、入出力セル21内のチップ外周寄りに形成された第1入出力パッド22aと、チップ内部寄りに形成された第2入出力パッド22bを有している。上記実施形態1の入出力パッド22と同様に、第1入出力パッド22aおよび第2入出力パッド22bはそれぞれ積層ビア構造30を有している。なお、第1入出力パッド22aと第2入出力パッド22bとは、パッド間配線23によって電氣的に接

続されており、入出力セル21の上面には、第1入出力パッド22aおよび第2入出力パッド22bを露出するようにして保護膜24が形成されている。

【0036】本実施形態では、入出力パッドが複数個設けられているため、プローブ検査時に第1入出力パッド22aを使用し、ワイヤボンディング時に第2入出力パッド22bを使用することができる。それゆえ、プローブ検査時に形成された圧跡部の影響を受けることなく、ワイヤボンディングを行うことが可能になる。すなわち、プローブ検査時に使用されなかった第2入出力パッド22bは、プローブ検査に用いられるプローブ針によってアルミが削られていないため、パッドのアルミとワイヤの金ボールとの合金形成を良好に行うことが可能となる。その結果、プロービング時の針跡に影響されずにボンディングを行うことが可能になるため、ワイヤボンディング性が改善され、ワイヤボンディングの歩留まりを向上させることができる。

【0037】なお、勿論、プローブ検査時に第2入出力パッド22bを使用し、ワイヤボンディング時に第2入出力パッド22aを使用することもできる。また、入出力パッド22aおよび22bには積層ビア構造30が形成されているので、ワイヤボンディング時やバンパ形成時ににおける衝撃を緩和することができる。

【0038】さらに、図7に示すように、第1入出力セル21aにおいては第1入出力パッド22a上にバンパ28を形成し、第1入出力セル21bに隣接する第2入出力セル21bにおいては第2入出力パッド22bにバンパ28を形成すると、隣接するバンパ28間隔を相対的に広げることができる。すなわち、2つの入出力パッド22aおよび22bに対して交互にバンパ28を形成することによって、接続ピッチを拡大させることができる。

【0039】入出力パッド(22aおよびb)上に形成されるバンパ28の種類は特に限定されず、例えば、金ボール形成をベースとするスタッドバンパでもよいし、電解めっき法または無電解めっき法を用いて形成された金属バンパ(金、ニッケル、銅などの金属バンパ)でもよい。スタッドバンパまたは金属バンパのいずれの場合においても、実質的な接続ピッチを拡大させることができるため、図7に示す構成にすることによって、接続歩留まりを向上させることができる。また、フリップ構造の半導体装置においても、接続ピッチを実質的に拡大することができる。このため、CSPやBGAなどのキャリア基板にチップを搭載する場合において、基板設計上のルールを緩和することができるので、基板コストの低減を図ることができるという利点も得られる。

【0040】

【発明の効果】本発明によれば、素子形成領域上に位置する層間絶縁膜上に入出力パッドが設けられており、入出力パッドが第1電極パッドと第2電極パッドとビアと

から構成された積層ビア構造を有しているため、チップサイズの縮小を図りながら、信頼性を向上させた半導体装置を提供することができる。また、チップサイズの縮小によって、チップコストを低減させることも可能となる。

【0041】入出力セルが複数の入出力パッドを有している場合、プローブ検査時の入出力パッドとワイヤボンディング時の入出力パッドとを使い分けることができるので、プロービング時の圧跡の影響を受けることなくワイヤボンディングを行うことができる半導体装置を提供することができる。また、或る入出力セルは第1入出力パッド上にバンパを有し、当該或る入出力セルに隣接する入出力セルは第2入出力パッド上にバンパを有する場合、実質的に接続ピッチを拡大することができるため、接続歩留まりを向上させることができる。この接続ピッチの拡大によって、ベアチップ実装やCSP・BGAのキャリア基板のコストを低減することができるという効果を得ることができる。

【図面の簡単な説明】

【図1】本発明による実施形態1にかかる半導体装置100を模式的に示す平面図である。

【図2】半導体装置100のI/Oセル20を示す拡大平面図である。

【図3】I/Oセル20の構成を模式的に示す断面図である。

【図4】ビア36の構成を示す平面図である。

【図5】ビア36'の構成を示す平面図である。

【図6】実施形態2にかかる半導体装置のI/Oセル21の構成を示す平面図である。

【図7】交互にバンパ28が形成された複数のI/Oセル21の構成を示す平面図である。

【図8】従来の半導体装置1000の構成を模式的に示す平面図である。

【図9】(a)は、I/Oセル120の構成を模式的に示す平面図であり、(b)は、その断面図である。

【図10】従来のパッド構成を模式的に示す断面図である。

【図11】ワイヤボンディング工程においてパッドが受ける衝撃荷重の時間変化を示すグラフである。

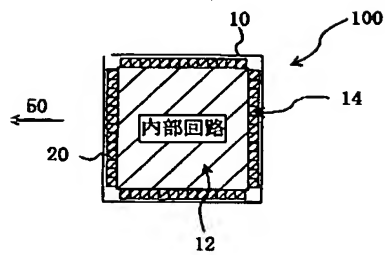
【符号の説明】

- 10 半導体チップ
- 12 内部回路
- 14 入出力回路
- 20、21 入出力セル(I/Oセル)
- 22 入出力パッド(I/Oパッド)
- 23 パッド間配線
- 24 保護膜
- 28 バンパ
- 32 第1電極パッド
- 34 第2電極パッド

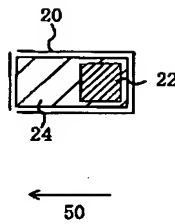
36 ビア
40 層間絶縁膜
42 電源配線
44 最下層配線
46 パッド引き出し部
100 半導体装置
110 半導体チップ
112 内部回路
114 入出力回路

120 入出力セル (I/Oセル)
122 電極パッド (I/Oパッド)
124 保護膜
140 層間絶縁膜
142 電源配線
144 最下層配線
146 パッド引き出し部
1000 半導体装置

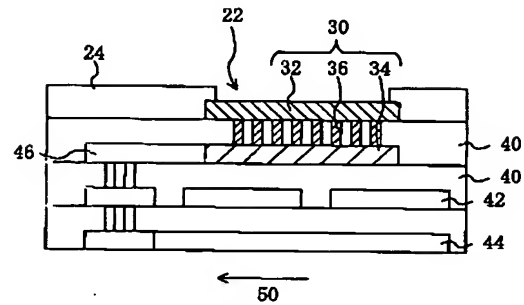
【図1】



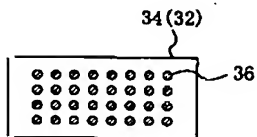
【図2】



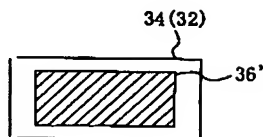
【図3】



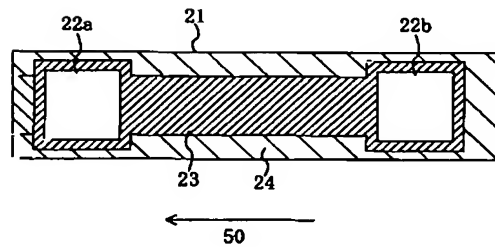
【図4】



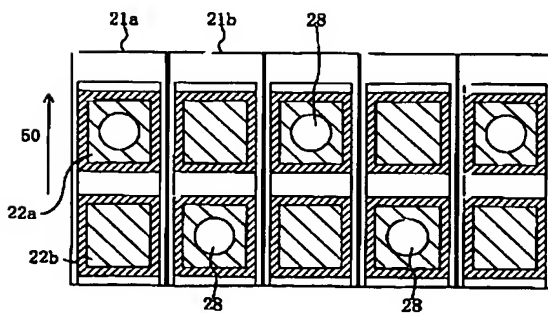
【図5】



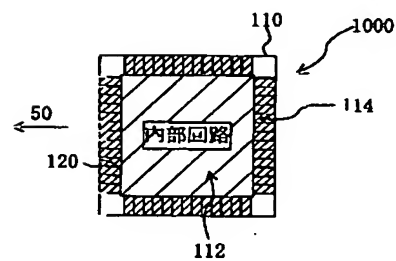
【図6】



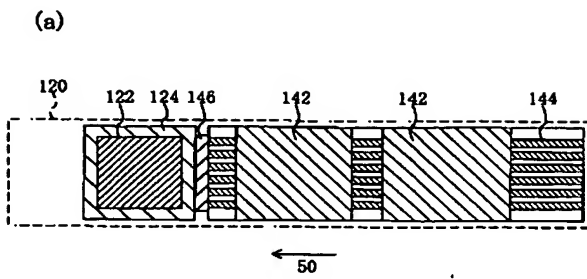
【図7】



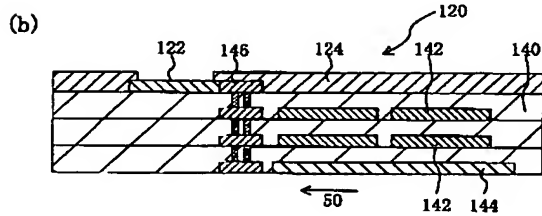
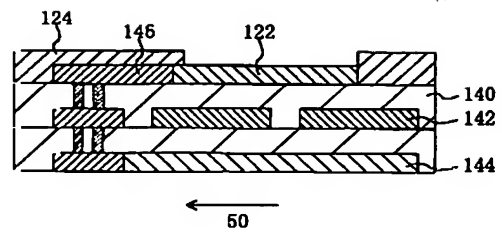
【図8】



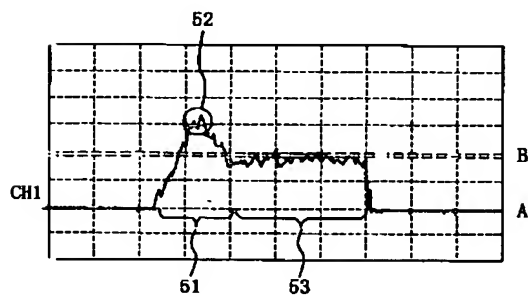
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5F033 JJ19 KK08 NN33 NN34 QQ48
RR04 SS04 VV04 VV07 VV12
XX03 XX19 XX34
5F038 BE07 BE09 CA02 CD02 DF01
DT15 EZ20
5F044 EE06 EE11 EE21